

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-062354

(43)Date of publication of application : 28.05.1981

(51)Int.CI. H01L 27/04
// H01L 27/10(21)Application number : 54-139157 (71)Applicant : CHIYOU LSI GIJUTSU KENKYU
KUMIAI(22)Date of filing : 25.10.1979 (72)Inventor : OZAKI HIDEYUKI
SHIMOTORI KAZUHIRO

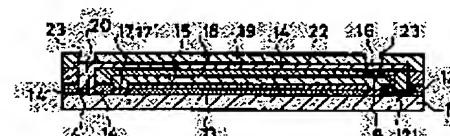
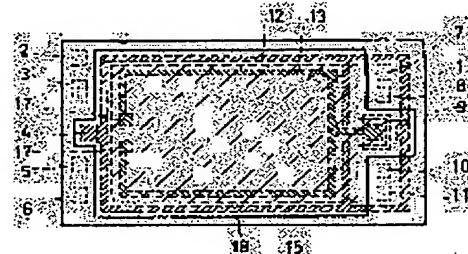
(54) HYBRID TYPE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To make an improved density of the installed semiconductor device on the base board by a method wherein a capacity of the decoupling is composed in a semiconductor base board having an integrated circuit thereon.

CONSTITUTION: An integrated circuit is constructed on the surface of the semiconductor base board 1.

Electrode 1 on the insulation film 14 is connected to the power supply pad 9 and the power supply main line 13. The electrode 19 on the insulation film 18 is connected to the ground pad 4 and the ground main line 12. A decoupling capacity is constituted by the electrodes 15, 19 and insulation film 18. The decoupling capacitor is arranged on the base board 1, so that a density of its installation on the base board may be increased and at the same time a reliability of the device may be improved as well.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP)
⑯ 公開特許公報 (A)

① 特許出願公開
昭56—62354 ✓

⑤ Int. Cl.³
H 01 L 27/04
// H 01 L 27/10

識別記号
厅内整理番号
7210-5F
7210-5F

③ 公開 昭和56年(1981)5月28日
発明の数 1
審査請求 未請求

(全 3 頁)

④ ハイブリッド型半導体集積回路装置

② 特 願 昭54—139157

② 出 願 昭54(1979)10月25日

② 発明者 尾崎英之

伊丹市瑞原4丁目1番地株式会
社コンピュータ総合研究所第三
研究部内

② 発明者 下西和博

伊丹市瑞原4丁目1番地株式会
社コンピュータ総合研究所第三
研究部内

② 出願人 超エル・エス・アイ技術研究組
合
川崎市高津区宮崎4丁目1番1
号

② 代理人 弁理士 葛野信一 外1名

明細書

1. 発明の名称

ハイブリッド型半導体集積回路装置

2. 特許請求の範囲

(1) 半導体基板表面に形成された集積回路と、
上記半導体基板の上層に設けられ大容量コンデン
サを形成する複数層の金属電極とを備えたことを
特徴とするハイブリッド型半導体集積回路装置。

(2) 複数層の金属電極がそれぞれ上記集積回路
の電源配線および接地配線に接続された2層の金
属電極であることを特徴とする特許請求の範囲第
1項記載のハイブリッド型半導体集積回路装置。

3. 発明の詳細な説明

この発明は、集積回路とその上部に形成した平
行平板容量とを組み合わせて得られるハイブリッ
ド型半導体集積回路装置に関するものである。

集積回路、いわゆるICをボード上に実装する
際に問題となるのは、ICに供給する電源のスバ
イクノイズあるいはリップル等による電圧変化を
いかに少なくするかということである。これは時

時に大電流が流れれるデジタル回路において特に問
題となる。従来、この電源電圧の変動をおさえる
ために、ICの電源用ピンと接地用ピンとの間に、
デカッピングコンデンサを外付けする方法が用
いられてきた。

従来の電源ノイズ対策は以上のようなものであ
つたので、IC1個ずつにデカッピング容量を
外付けしなければならず、実装密度をあげる点に
おいて、また信頼性の上でも問題となつた。また、
通常IC内部では電源バッドからアルミニウム等
を蒸着することにより各回路に電力を供給する方
法が用いられ、比較的大い幹電源ラインからいく
つかの枝電源ラインがとられているのが一般的で
ある。したがつて、電源バッドから遠い距離にある
電源ラインは、そのインピーダンスのためにそ
のノイズレベルは電源バッドのノイズレベルに比
べて大きくなっているのが普通である。しかしな
がら、従来の外付方法では、IC内部の電源バッ
ドから遠い距離にある電源ラインのノイズを低減
することは不可能であつた。

(1)

(2)

この発明は、上記のような従来のものの欠点を除去するためになされたもので、集積回路上層部に平行平板容量をつくりつけにすることにより、デカップリング容量の外付けが不要で、またIC内部の電源ラインの末端のノイズをも低減できるハイブリッド型半導体集積回路装置を提供することを目的としている。

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例の平面図、第2図は断面図である。両図において(1)は半導体基板であり、この表面に集積回路が構成されている。(2)～(4)はパンディングパッドであり、通常アルミニウムを蒸着して形成されており、ここからパッケージの電極へのアルミニウムあるいは金線等によりワイヤーリングされる。このうち、(4)は接地用パッドであり、(9)は電源用パッドである。(8)は半導体表面に形成された接地電位用幹配線、(9)は電源用幹配線であり、それぞれ各回路に電力を供給する枝配線が分枝している。図はアルミニウム配線

(3)

特開昭56-62354(2)
上に形成された絶縁用膜化膜である。図は絶縁膜(8)上に形成された金属電極であり、これがデカップリング容量の第1の電極となり、コンタクト孔(17')を介して、それぞれ電源用パッド(9)および電源用幹配線(9)と電気的に接続されている。図は絶縁膜であり、デカップリング容量の2つの電極にはさまれる誘電体となる。図は絶縁膜(8)上に形成された金属電極であり、これはデカップリング容量の第2の電極となり、コンタクト孔(17)を介してそれぞれ接地用パッド(4)および接地用幹配線(8)と電気的に接続されている。図は保護用絶縁膜である。図はパンディング用のパッド孔である。

次に動作について説明する。

第3図に示したようなMIS(Metal Insulator Semiconductor)形トランジスタによる負荷トランジスタ(50)、ドライバトランジスタ(51)より構成されたトーテム・ポール型回路を考える。

第4図(a)(b)は第3図のトーテム・ポール型回路のゲートに入力される信号の経時変化を示したものであり、第4図(c)は電源から供給される電流の

(4)

経時変化を示したものである。時間T1の間は負荷トランジスタ(50)はオフ状態、ドライバトランジスタ(51)はオン状態にあり、出力(53)は“0”状態にある。また、時間T3の間は負荷トランジスタ(50)はオン状態、ドライバトランジスタ(51)はオフ状態にあり、出力(53)は“1”状態にある。したがつて、T1、T3の期間は、ともにどちらかのトランジスタがオフ状態にあるので電源(54)と接地(55)間のインピーダンスが高い状態にある。しかしながらゲートが切り換わる期間T2では、双方のトランジスタが導通状態になり、電源(54)と接地(55)間のインピーダンスは低く、したがつて第4図(c)に示したようなスパイク電流が流れれる。このスパイク電流の値は通常数十ナノアペンドルを越えて、最もコンデンサのようを何らかの電源源がないと大きな電源電圧の過渡的変化が生ずることになる。

一方、この間の電源ノイズの周波数スペクトラムの最高周波数f_{max}は、近似的に f_{max} ≈ (1/2π) T₂ で表わされる。今、T₂の期間5ns(ナノ秒)とすればf_{max}は約3.2MHzになり、非常に高

(5)

周波であるのがスパイクノイズの特徴である。したがつて、スパイクノイズの除去には通常数百pFから0.1μFの高周波デカップリング容量が用いられる。また、以上の理由でIC内部での電源パッドから遠い距離にある電源配線は、そのインピーダンスがより大きくなるため、スパイクノイズがより大きくなることは明らかである。しかしながら、本発明によれば第2図に示したようにコンタクト孔(17')を介して電源配線端をデカップリングコンデンサの第1の電極(8)と接続でき、したがつて末端の電源配線のスパイクノイズを低減することが可能となる。

次に、本発明によつて得られるデカップリング容量の大きさについて説明する。

平行平板の容量値Cは

$$C = \epsilon \cdot s / L$$

で与えられる。ここでεは真空の誘電率、sは電極間の絶縁層の比誘電率、Lは電極面積、Lは電極間の距離である。

今、第1図および第2図において、第1電極四

(6)

の面積を1.5㎟, 層間絶縁膜の厚さを二酸化シリコン, その厚さは5000Åとすれば、容量値Cとしては約1000PFが得られる。したがつて、高周波ノイズを除去するのに充分な容量値を得ることが可能である。

また、最近、1トランジスタ1容量型のメモリセルをもつダイナミック型ランダム・アクセス・メモリで、 ϕ 線によるソフトエラーが問題となつてゐる。これは、 ϕ 線が半導体基板に到達して電子・正孔対を形成し、この発生した電子がメモリセルに記憶された“1”情報を“0”状態に変えてしまう現象である。この ϕ 線を遮へいすることは金などの質量の大きい、密度の高い金属を遮へい板として用いることにより可能である。したがつて、本発明において、デカップリング容量の片方あるいは両方の金属電極の材質として金などを用いることにより、 ϕ 線に強いアベイズを遮ることも可能となる。

なお、上記実施例では層間絶縁膜を5000Å、材質を二酸化シリコンとしたが、層間絶縁膜の厚

(7)

特開昭56-62354(3)
さをさらに厚くしたり、絶縁膜をたとえば塗化膜のようなより大きな比誘電率をもつ物質に変えることにより、更に大きな容量を形成することも可能である。また、上記実施例では2層の金属電極によりデカップリング容量を形成したが、3層あるいは4層等の多層構造により、更に大きな容量を形成することも可能である。

以上のように、この発明によれば、デカップリング容量を集積回路を形成した半導体基板上に構成したので、ボードへの実装密度が上がり、また信頼性も向上し、外付けによるよりもさらに高周波ノイズに対して強いものが得られる効果がある。

4. 図面の簡単な説明

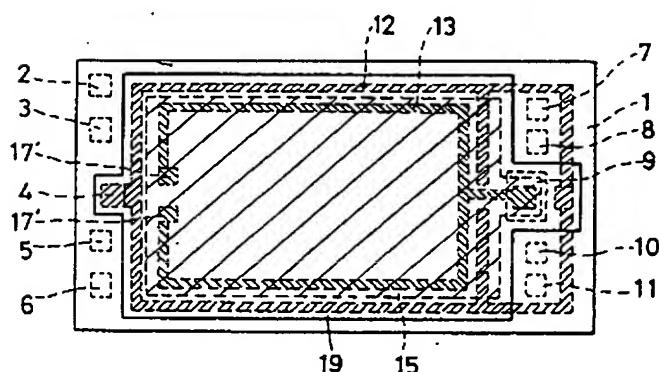
第1図は本発明の一実施例による半導体集積回路装置の平面図、第2図は第1図の断面図、第3図は本発明の作用効果を説明するための回路図、第4図(a)(b)(c)はその2つの入力信号および電源電圧波形の時間的変化の様子を示した図である。

(1)…半導体基板、(2)…金属電極。

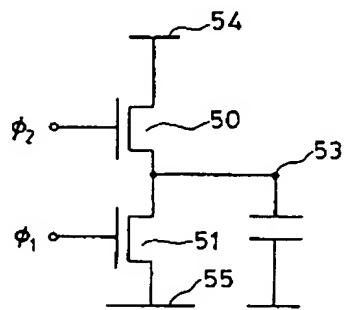
なお、図中同一符号は同一又は相当部分を示す。

(8)

第1図



第3図



第4図

